



Bite-sized technology topics

TEC BYTES
presented by

TRS-STAR

Einladung zum Webinar

Anpassung von RISC-V Cores

Mittwoch, 4. 12. 2024 (9:00 - 10:30 Uhr) – online

[TRS-STAR](#) bietet Ihnen mit den TEC BYTES Webinaren mundgerechte, technische Leckerbissen an. [TRS-STAR](#) Kunden und solche die es vielleicht noch werden wollen, sind herzlich zu dieser kostenlosen Weiterbildungsmöglichkeit eingeladen.

Gemeinsam mit [IMG Electronic & Power Systems GmbH](#), zeigen wir Ihnen am Applikationsbeispiel eines FPGA-basierenden RISC-V Systems, wie Sie diesen gemäß Ihren Anforderungen anpassen können.

Hierfür wird das [T*Square T20-100/144 Education Board](#) von TRS-STAR und IMG Electronic & Power Systems verwendet. Die T*Square Education Boards bieten den idealen Einstieg in die Welt der Efinix-FPGAs, **die ein Optimum aus Kosten, Verfügbarkeit, geringer Leistungsaufnahme bei guter Performanz bieten.**

Im Webinar lernen Sie, wie Sie ADC- und DAC-Wandler in einem digitalen FPGA implementieren können und an diesem Beispiel wird dann gezeigt, wie Sie eigene IP-Blöcke an ein RISC-V System anbieten können.

Webinar Teilnehmer bekommen Zugriff auf Source-Code (VHDL und C++) und Scripte (Python) der gezeigten Beispiele. Somit kann der Webinar Inhalt reproduziert und für eigene Applikationen angepasst werden.

Sprecher:	Marco Kümmerling [Technical Fellow bei IMG, Nordhausen] Andreas Schwarztrauber [CEO TRS-STAR]
Sprache:	Deutsch
Vorraussetzungen:	Technisches Verständnis, VHDL-Grundkenntnisse wünschenswert, aber nicht erforderlich. T*Square T20-Education Board für Kunden, die das Hands-On reproduzieren möchten.
Seminarform:	Präsentation, Hands-On im Nachgang
Ansprechpartner:	Andreas Schwarztrauber, [E-Mail: asc@trs-star.com], +49 172 721 8963

Agenda [Zeitzone: MEZ]

09:00 Uhr – 09:05 Uhr	Begrüßung und Vorstellung [Andreas Schwarztrauber]
09:05 Uhr – 09:15 Uhr	Kurzvorstellung T*Square T20-100/144 Education Boards [Andreas Schwarztrauber]
09:15 Uhr – 09:30 Uhr	Efinity kurz und bündig erklärt [Marco Kümmerling]
09:30 Uhr – 9:45 Uhr	Implementierung von RISC-V Cores [Marco Kümmerling]
09:45 Uhr – 10:00 Uhr	ADC- und DAC Wandler in digitalen FPGAs implementieren [M. Kümmerling]
10:00 Uhr – 10:20 Uhr	Einbinden von IP-Cores in ein RISC-V System
10:20 Uhr – 10:30 Uhr	Fragen und Antworten

Register